

Japanese Kokai Patent Application No. Hei 6[1994]-14013

Job No.: 228-119975

Ref.: Japanese Patent No. 6-14013/PU020290 JP/BJD(Joan)/Order No. 8534

Translated from Japanese by the McElroy Translation Company

800-531-9977

customerservice@mcelroytranslation.com

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 6[1994]-14013

Int. Cl. ⁵ :	H 04 L 1/22 G 06 F 1/04 H 04 L 7/00
Sequence Nos. for Office Use:	4101-5K 7165-5B 7928-5K
Filing No.:	Hei 4[1992]-168060
Filing Date:	June 26, 1992
Publication Date:	January 21, 1994
No. of Claims:	1 (Total of 7 pages)
Examination Request:	Not filed

CLOCK SUPPLY SYSTEM

Inventor:	Yukie Karashima NEYC Corp. 5-7-1 Shiba, Minato-ku, Tokyo
Applicant:	000004237 NEC Corp. 5-7-1 Shiba, Minato-ku, Tokyo
Agent:	Yoshitaka Iwasuke, patent attorney

[There are no amendments to this patent.]

Abstract

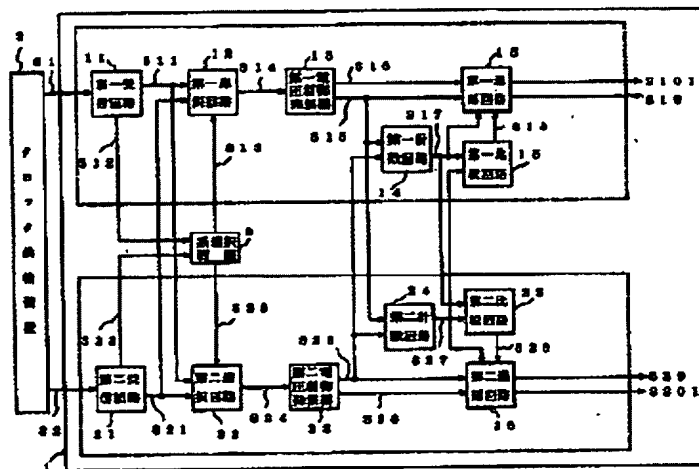
Objective

To eliminate the phase difference between a first in-device reference signal and a second in-device reference signal having a redundant system as well as the phase difference between a

first in-device timing signal and a second in-device timing signal and to respectively supply the signals to a device.

Constitution

The phase difference between a first reference frequency signal S16 synchronized with a reference clock signal having a redundant system and a second reference frequency signal S26 and the phase difference between a first timing signal S15 and a second timing signal S25 are counted. The timing "advance" or "lag" between the first and second signals is determined. In the state when the phase difference between the first and second signals is set at "0", a first in-device reference signal S101 and a first in-device timing signal S19 as well as a second in-device reference signal S201 and a second in-device timing signal 29 [sic; S29] are respectively supplied to a device.



- Key:
- 2 Clock supply device
 - 3 System selecting circuit
 - 11 First receiving circuit
 - 12 First selection circuit
 - 13 First voltage controlled oscillator
 - 14 First calculation circuit
 - 15 First comparison circuit
 - 16 First delay circuit
 - 21 Second receiving circuit
 - 22 Second selection circuit
 - 23 Second voltage controlled oscillator

- 24 Second calculation circuit
- 25 Second comparison circuit
- 26 Second delay circuit

Claim

A clock supply system comprised of the following circuits in a device that receives reference clock signals forming a redundant system supplied from a clock supply device and establishes network synchronization: a first receiving circuit that receives a first reference clock signal as one of the reference clock signals forming the redundant system, monitors the input state, and outputs a first clock signal; a second receiving circuit that receives a second reference clock signal as the other reference clock signal forming the redundant system, monitors the input state, and outputs a second clock signal; a first selection circuit that receives the inputs of said first and second clock signals, selects one of the clock signals, and outputs a first reference signal; a second selection circuit that receives the inputs of said first and second clock signals, selects one of the clock signals, and outputs a second reference signal; a system selecting circuit that receives the inputs of the first monitor signal output from said first receiving circuit and the second monitor signal output from said second receiving circuit and outputs a system selecting signal to said first and second selection circuits; a first voltage controlled oscillator that receives the input of said first reference signal and generates a first reference frequency signal and a first timing signal in synchronization with the first reference signal; a second voltage controlled oscillator that receives the input of said second reference signal and generates a second reference frequency signal and a second timing signal in synchronization with the second reference signal; a first calculation circuit that receives the input of said first and second timing signals, calculates the phase difference with reference to the first timing signal, and outputs a first calculation result; a second calculation circuit that receives the input of said first and second timing signals, calculates the phase difference with reference to the second timing signal, and outputs a second calculation result; a first comparison circuit that receives the input of said first and second calculation results, compares the magnitude of the second calculation result with reference to the first calculation result, and outputs a first comparison result; a second comparison circuit that receives the input of said first and second calculation results, compares the magnitude of the first calculation result with reference to the second calculation result, and outputs a second comparison result; a first delay circuit that delays said first reference frequency signal and first timing signal based on the first calculation result and first comparison result and outputs a first in-device reference signal and a first in-device timing signal; and a second delay circuit that delays said second reference frequency signal and second timing signal based on said second

calculation result and second comparison result and outputs a second in-device reference signal and a second in-device timing signal.

Detailed explanation of the invention

[0001]

Industrial application field

The present invention pertains to a clock supply system. In particular, the present invention pertains to a clock supply system that receives reference clock signals having a redundant system, selects the two received reference clock signals, and has voltage controlled oscillators that form a redundant system based on the selected reference clock signals. In this system, the phase difference caused by the constant phase differences between the reference frequency signals and timing signals output from the two voltage controlled oscillators are adjusted to supply reference signals and timing signals without a phase difference.

[0002]

Prior art

Devices in a digital microwave communication system or the like operate in synchronization with a reference clock signal supplied from a clock supply device. In this case, said reference clock signal has a redundant system in order to overcome problems in the clock supply system.

[0003]

Figure 4 is a block diagram of a conventional clock supply system. In this case, the reference signal has a redundant system of 1+1. A first reference clock signal S1 and a second reference clock signal S2 supplied from clock supply device 2 are respectively received by first receiving circuit 11 and second receiving circuit 21 in device 1. The first receiving circuit 11 monitors the state of the received first reference clock signal S1 and outputs a first monitor signal S12 and a first clock signal S11. The second receiving circuit 21 monitors the state of the received said reference clock signal S2 and outputs a second monitor signal S22 and a second clock output S21. System selection circuit 3 outputs system selection signals S13 and S23 based on the first monitor signal S12 and the second monitor signal S22. The first clock signal S11 and the second clock signal S21 are input into the first selection circuit 12, which selects a system based on system selection signal S13 and outputs a first reference signal S14. The first clock signal S11 and the second clock signal S21 are input into the second selection circuit 22, which selects a system based on system selection signal S23 and outputs a second reference signal S24. A first reference signal S14 is input into a first voltage controlled oscillator 13, which generates a

first in-device reference signal S105 and a first in-device timing signal S106 in synchronization with the first reference signal S14 and distributes said signals to parts in device 1. A second reference signal S24 is input into a second voltage controller oscillator 23, which generates a second in-device reference signal S205 and a second in-device timing signal S206 and distributes said signals to parts in device 1.

[0004]

Problems to be solve by the invention

Since the conventional clock supply system has two voltage controlled oscillators, even if the reference signals are the same, due to a constant phase error, a phase difference exists between the first and second in-device reference signals and between the first and second in-device timing signals. As a result, in the case of switching from the first in-device reference signal and first in-device timing signal to the second in-device reference signal and second in-device timing signal in the device, since a phase difference is present, the reference in the device will skip.

[0005]

The objective of the present invention is to eliminate the phase difference between a first in-device reference signal and a second in-device reference signal having a redundant system as well as the phase difference between a first in-device timing signal and a second in-device timing signal and to respectively supply the signals into a device.

[0006]

Means to solve the problems

In order to realize the aforementioned objective, the present invention provides a clock supply system comprised of the following circuits in a device that receives reference clock signals forming a redundant system supplied from a clock supply device and establishes network synchronization: a first receiving circuit that receives a first reference clock signal as one of the reference clock signals forming the redundant system, monitors the input state, and outputs a first clock signal; a second receiving circuit that receives a second reference clock signal as the other reference clock signal forming the redundant system, monitors the input state, and outputs a second clock signal; a first selection circuit that receives the inputs of said first and second clock signals, selects one of the clock signals, and outputs a first reference signal; a second selection circuit that receives the inputs of said first and second clock signals, selects one of the clock signals, and outputs a second reference signal; a system selecting circuit that receives the inputs of the first monitor signal output from said first receiving circuit and the second monitor signal

output from said second receiving circuit and outputs a system selecting signal to said first and second selection circuits; a first voltage controlled oscillator that receives the input of said first reference signal and generates a first reference frequency signal and a first timing signal in synchronization with the first reference signal; a second voltage controlled oscillator that receives the input of said second reference signal and generates a second reference frequency signal and a second timing signal in synchronization with the second reference signal; a first calculation circuit that receives the input of said first and second timing signals, calculates the phase difference with reference to the first timing signal, and outputs a first calculation result; a second calculation circuit that receives the input of said first and second timing signals, calculates the phase difference with reference to the second timing signal, and outputs a second calculation result; a first comparison circuit that receives the input of said first and second calculation results, compares the magnitude of the second calculation result with reference to the first calculation result, and outputs a first comparison result; a second comparison circuit that receives the input of said first and second calculation results, compares the magnitude of the first calculation result with reference to the second calculation result, and outputs a second comparison result; a first delay circuit that delays said first reference frequency signal and first timing signal based on the first calculation result and first comparison result and outputs a first in-device reference signal and a first in-device timing signal; and a second delay circuit that delays said second reference frequency signal and second timing signal based on said second calculation result and second comparison result and outputs a second in-device reference signal and a second in-device timing signal.

[0007]

Application examples

In the following, the present invention will be explained based on figures. Figure 1 is a block diagram illustrating an application example of the present invention. In the application example shown in Figure 1, the reference clock signal has a redundant system of 1+1.

[0008]

The first reference clock signal S1 and the second reference clock signal S2 supplied from clock supply device 2 are received by first receiving circuit 11 and second receiving circuit 21 in device 1. The first receiving circuit 11 monitors the state of the received first reference clock signal S1 and outputs a first monitor signal S12 and a first clock signal S11. The second receiving circuit 21 monitors the state of the received second reference clock signal S2 and outputs a second monitor signal S22 and a second clock signal S21. System selection circuit 3 outputs system selection signal S13 and system selection signal S23 based on the first monitor

signal S12 and the second monitor signal S22. The first clock signal S11 and the second clock signal S21 are input into first selection circuit 12, which selects a system based on system selection signal S13 and outputs a first reference signal S14. The first clock signal S11 and the second clock signal S21 are input into second selection circuit 22, which selects a system based on system selection signal S23 and outputs a second reference signal S24. The first reference signal S14 is input into first voltage controlled oscillator 13, which generates a first reference frequency signal S16 and a first timing signal S15 in synchronization with the first reference signal S14. The second reference signal S24 is input into second voltage controlled oscillator 23, which generates a second reference frequency signal S26 and a second timing signal S25 in synchronization with the second reference signal S24. The first timing signal S15 and the second timing signal S25 are input as a start signal and stop signal, respectively, into first calculation circuit 14, which calculates the phase difference based on the first timing signal S15 and outputs a first calculation result S17. On the other hand, the second timing signal S25 and the first timing signal S15 are input as a start signal and stop signal, respectively, into second calculation circuit 24, which calculates the phase difference based on the second timing signal S25 and outputs a second calculation result S27. First comparison circuit 15 compares the first calculation result S17 with the second calculation result S27 and outputs a first comparison result S18 based on the first calculation result S17. On the other hand, second comparison circuit 25 compares the first calculation result S17 with the second calculation result S27 and outputs a second comparison result S28 based on the second calculation result S27. First delay circuit 16 delays the first reference frequency signal S16 and the first timing signal S15 and outputs a first in-device reference signal S101 and a first in-device timing signal S19. On the other hand, a second delay circuit 26 delays the second reference frequency signal S26 and the second timing signal S25 and outputs a second in-device reference signal S201 and a second in-device timing signal S29.

[0009]

In the following, the block diagram shown in Figure 1 for an application example of the present invention will be explained based on the timing charts shown in Figures 2 and 3. Figure 2 is a timing chart in the case when the second timing signal is delayed with respect to the first timing signal. Figure 3 is a timing chart in the case when the first timing signal is delayed with respect to the second timing signal.

[0010]

The phase difference between the first timing signal S15 and the second timing signal S25 is calculated based on the first timing signal S15 and is output as the first calculation result S17 (=x). It is also calculated based on the second timing signal S25 and output as the second

calculation result S27 ($=y$). If the second timing signal S25 is delayed compared with the first timing signal S15 as shown in Figure 2, the calculation result is $x < y$. This means that the delay applied by the first delay circuit 16 is smaller. The first comparison circuit 15 finds that the signal in its system is advanced in timing and outputs the first comparison result S18. On the other hand, the second comparison circuit 25 finds that the signal in its system lags in timing and outputs the second comparison result S28. The first delay circuit 16 applies delay x to the first reference frequency signal S16 and the first timing signal S15 based on the first calculation result S17 ($=x$) and the first comparison result S18 ($=\text{advance}$) and outputs delayed signals as the first in-device reference signal S101 and the first in-device timing signal S19, respectively. On the other hand, the second delay circuit 26 applies no delay to the second reference frequency signal S26 and the second timing signal S25 based on the second calculation result S27 ($=y$) and the second comparison result S28 ($=\text{lag}$) and outputs the second in-device reference signal S201 ($=$ second reference frequency signal S26) and the second in-device timing signal S29 ($=$ second timing signal S25). As shown in Figure 3, if the first timing signal S15 is delayed, since the calculation result is $x > y$, the first comparison result S18 becomes ($=\text{lag}$), and the second comparison result S28 becomes ($=\text{advance}$). As a result, the amount of delay applied by the first delay circuit 16 is "0", that is, no delay is applied. On the other hand, the second delay circuit 26 applies delay y . If the delay difference between the first and second timing signals $= 0$ ($=x=y$), neither delay circuit will apply a delay. In this way, since a constant phase error caused by using two voltage controlled oscillators is absorbed, a phase difference is not present between the first in-device reference signal S101 and the second in-device reference signal S29 or between the first in-device timing signal S19 and the second in-device timing signal S201.

[0011]

Effect of the invention

As explained above, the present invention can supply an in-device reference signal and in-device timing signal having a redundant system without a phase difference into a device by using a means that calculates the phase difference between first and second reference frequency signals and between first and second timing signals due to a constant phase error caused by using two voltage controlled oscillators, a means that determines whether the first or the second signal is delayed, and a means that adjusts the phase difference.

Brief description of the figures

Figure 1 is a block diagram illustrating an application example of the present invention.

Figure 2 is a timing chart in the case when the second timing signal is delayed with respect to the first timing signal in the application example of the present invention.

Figure 3 is a timing chart in the case when the first timing signal is delayed with respect to the second timing signal in the application example of the present invention.

Figure 4 is a block diagram of a conventional clock supply system.

Explanation of symbols

1	Device
2	Clock supply device
3	System selection circuit
11	First receiving circuit
12	First selection circuit
13	First voltage controlled oscillator
14	First calculation circuit
15	First comparison circuit
16	First delay circuit
21	Second receiving circuit
22	Second selection circuit
23	Second voltage controlled oscillator
24	Second calculation circuit
25	Second comparison circuit
26	Second delay circuit
S1	First reference clock signal
S2	Second reference clock signal
S11	First clock signal
S12	First monitor signal
S13, S23	System selection signal
S14	First reference signal
S15	First timing signal
S16	First reference frequency signal
S17	First calculation result
S18	First comparison result
S19	First in-device timing signal
S101	First in-device reference signal
S21	Second clock signal
S22	Second monitor signal
S24	Second reference signal
S25	Second timing signal

- S26 Second reference frequency signal
 S27 Second calculation result
 S28 Second comparison result
 S29 Second in-device timing signal
 S201 Second in-device reference signal

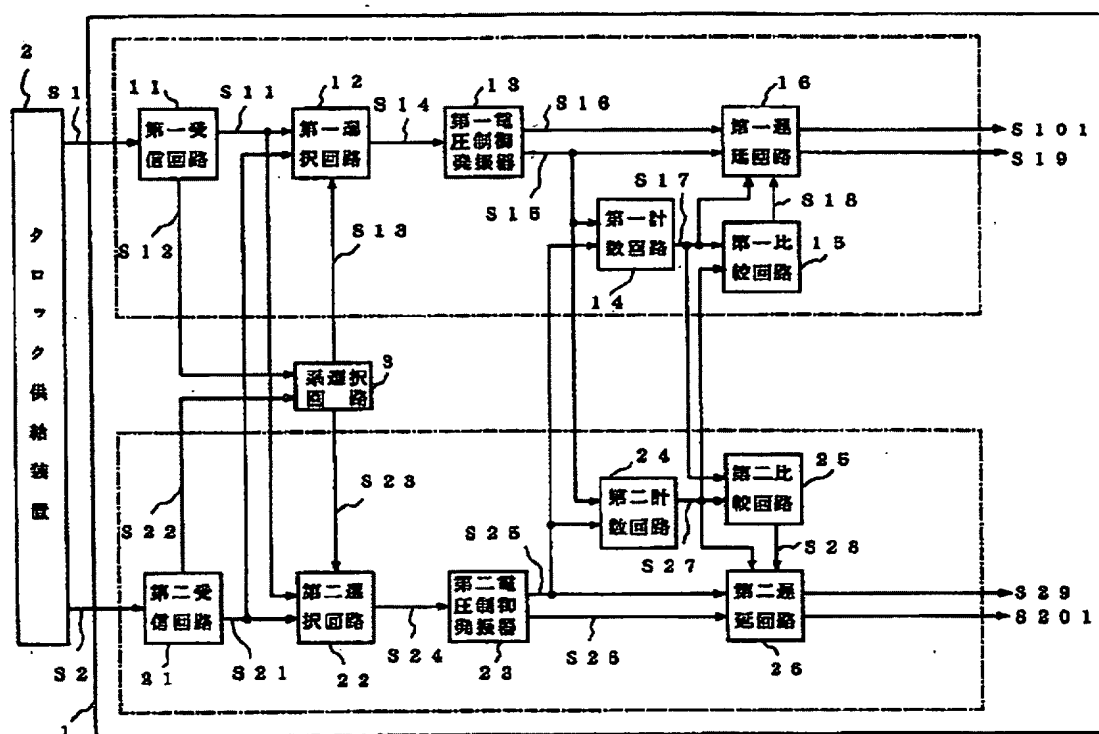


Figure 1

- Key: 2 Clock supply device
 3 System selecting circuit
 11 First receiving circuit
 12 First selection circuit
 13 First voltage controlled oscillator
 14 First calculation circuit
 15 First comparison circuit
 16 First delay circuit
 21 Second receiving circuit
 22 Second selection circuit
 23 Second voltage controlled oscillator

- 24 Second calculation circuit
- 25 Second comparison circuit
- 26 Second delay circuit

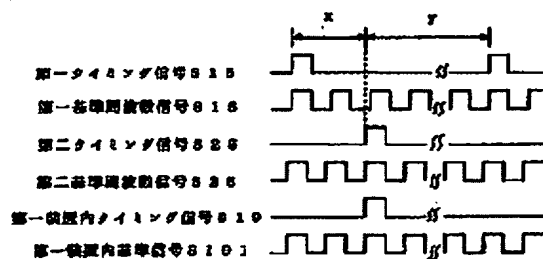


Figure 2

- Key:
- S15 First timing signal
 - S16 First reference frequency signal
 - S25 Second timing signal
 - S26 Second reference frequency signal
 - S19 First in-device timing signal
 - S101 First in-device reference signal

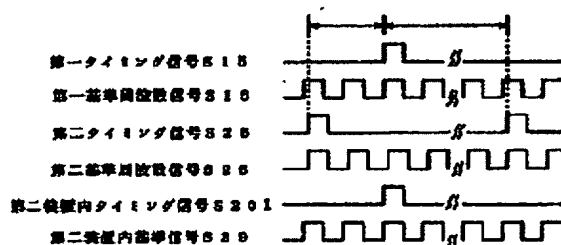


Figure 3

- Key:
- S15 First timing signal
 - S16 First reference frequency signal
 - S25 Second timing signal
 - S26 Second reference frequency signal
 - S201 Second in-device reference signal
 - S29 Second in-device timing signal

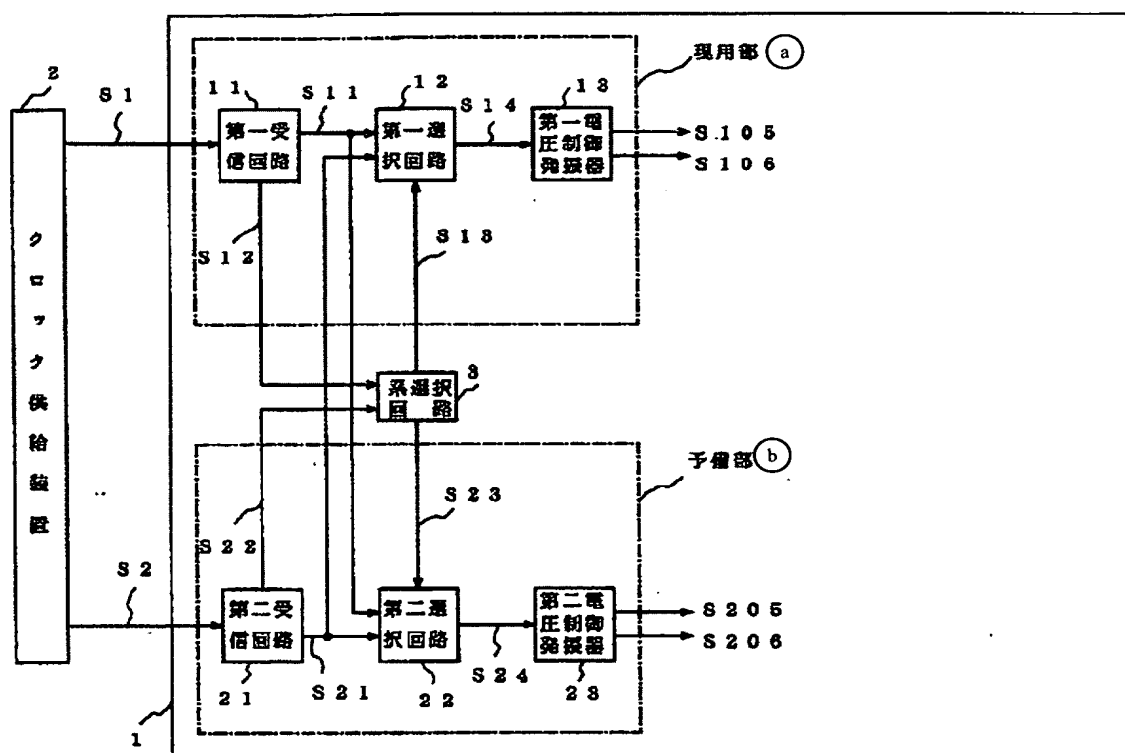


Figure 4

- Key:
- a Part used currently
 - b Preparatory part
 - 2 Clock supply device
 - 3 System selection circuit
 - 11 First receiving circuit
 - 12 First selection circuit
 - 13 First voltage controlled oscillator
 - 21 Second receiving circuit
 - 22 Second selection circuit
 - 23 Second voltage controlled oscillator

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-14013

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 1/22		4101-5K		
G 0 6 F 1/04	3 0 3 A	7165-5B		
H 0 4 L 7/00	Z	7928-5K		

審査請求 未請求 請求項の数1(全7頁)

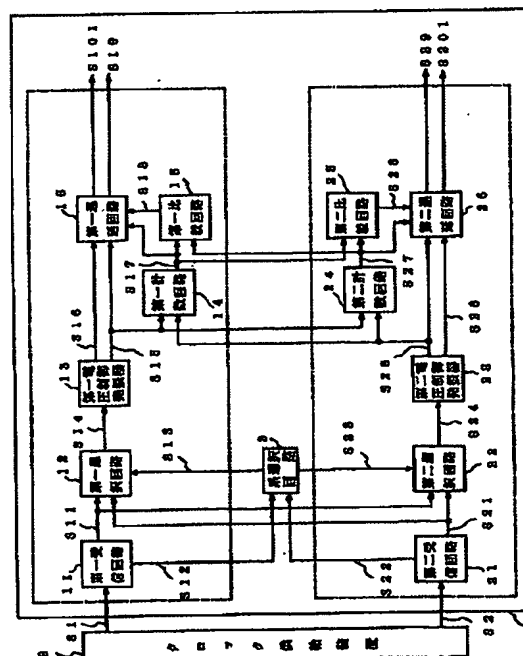
(21)出願番号	特願平4-168060	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)6月26日	(72)発明者	辛島 雪絵 東京都港区芝5丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 岩佐 義幸

(54)【発明の名称】 クロック供給方式

(57)【要約】

【目的】 冗長系を有する第一装置内基準信号と第二装置内基準信号間、及び、第一装置内タイミング信号と第二装置内タイミング信号間の位相差を無くして、それぞれ装置内に供給することにある。

【構成】 冗長系を有する基準クロック信号に同期した第一基準周波数信号S16と第二基準周波数信号S26との位相差、及び、第一タイミング信号S15と第二タイミング信号S25との位相差を計数し、第一・第二の信号間の時間的な「進み」又は「遅れ」を判定し、第一・第二の信号間の位相差を「0」にした状態で、第一装置内基準信号S101と第一装置内タイミング信号S19と、第二装置内基準信号S201と第二装置内タイミング信号29とをそれぞれ装置内に供給する。



【特許請求の範囲】

【請求項1】クロック供給装置より供給される冗長系をなす基準クロック信号を受信し、網同期を確立する装置において、冗長系をなす基準クロック信号の内的一方である第一基準クロック信号を受信し、入力状態を監視し、第一クロック信号を出力する第一受信回路と、冗長系をなす基準クロック信号の内他方である第二基準クロック信号を受信し、入力状態を監視し、第二クロック信号を出力する第二受信回路と、前記第一クロック信号と前記第二クロック信号とを入力し、いずれかのクロック信号を選択し、第一基準信号を出力する第一選択回路と、前記第一クロック信号と前記第二クロック信号とを入力し、いずれかのクロック信号を選択し、第二基準信号を出力する第二選択回路と、前記第一受信回路から出力される第一監視信号と前記第二受信回路から出力される第二監視信号とを入力し、前記第一選択回路と前記第二選択回路に対し、系選択信号を出力する系選択回路と、前記第一基準信号を入力し、第一基準信号に同期した第一基準周波数信号と第一タイミング信号とを発生させる第一電圧制御発振器と、前記第二基準信号を入力し、第二基準信号に同期した第二基準周波数信号と第二タイミング信号とを発生させる第二電圧制御発振器と、前記第一タイミング信号と前記第二タイミング信号とを入力し、第一タイミング信号を基準にして位相差を計数し、第一計数結果を出力する第一計数回路と、前記第一タイミング信号と前記第二タイミング信号とを入力し、第二タイミング信号を基準にして位相差を計数し、第二計数結果を出力する第二計数回路と、前記第一計数結果と前記第二計数結果とを入力し、第一計数結果を基準とし第二計数結果との大小関係と比較し、第一比較結果を出力する第一比較回路と、前記第一計数結果と前記第二計数結果とを入力し、第二計数結果を基準とし第一計数結果との大小関係と比較し、第二比較結果を出力する第二比較回路と、前記第一計数結果と前記第一比較結果により、前記第一基準周波数信号と前記第一タイミング信号とに対し遅延を与え、第一装置内基準信号と第一装置内タイミング信号とを出力する第一遅延回路と、前記第二計数結果と前記第二比較結果により、前記第二基準周波数信号と前記第二タイミング信号とに対し遅延を与え、第二装置内基準信号と第二装置内タイミング信号とを出力する第二遅延回路とからなることを特徴とするクロック供給方式。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、クロック供給方式に関し、特に、冗長系を有する基準クロック信号をそれぞれ受信し、受信した二つの基準クロック信号の系選択を行い、選択後の基準クロック信号に基づいて、冗長系をなす電圧制御発振器を有する方式において、二つの電圧制御発振器より、それぞれ出力される基準周波数信号とタ

イミング信号間に存在する定常位相誤差に起因する位相差を調整し、位相差の無い装置内基準信号と装置内タイミング信号とを供給するクロック供給方式に関する。

【0002】

【従来の技術】デジタルマイクロ波通信システム等における装置は、クロック供給装置から供給される基準クロック信号に同期して動作する。このとき、クロック供給系の障害を救済するために、基準クロック信号は冗長系を有している。

【0003】図4は、従来のクロック供給方式のブロック図である。ここでは、基準信号は1+1の冗長系を有するものとする。クロック供給装置2から供給される第一基準クロック信号S1と、第二基準クロック信号S2を、装置1内の第一受信回路11と、第二受信回路21とで各々受信する。第一受信回路11において受信した第一基準クロック信号S1の状態を監視し、第一監視信号S12と第一クロック信号S11とを出力し、第二受信回路21において受信した第二基準クロック信号S2の状態を監視し、第二監視信号S22と第二クロック出力S21とを出力する。系選択回路3において、第一監視信号S12と第二監視信号S22とに基づいて、系選択信号S13と系選択信号S23とを出力する。第一選択回路12においては、第一クロック信号S11と第二クロック信号S21とを入力し、系選択信号S13に基づいて系選択を行い、第一基準信号S14を出力する。第二選択回路22においては、第一クロック信号S11と第二クロック信号S21とを入力し、系選択信号S23に基づいて系選択を行い、第二基準信号S24を出力する。第一電圧制御発振器13においては、第一基準信号S14を入力し、第一基準信号S14に同期した第一装置内基準信号S105と第一装置内タイミング信号S106とを発生し、装置1内の各部に分配する。第二電圧制御発振器23においては、第二基準信号S24を入力し、第二基準信号S24に同期した第二装置内基準信号S205と、第二装置内タイミング信号S206とを発生し、装置1内の各部に分配する。

【0004】

【発明が解決しようとする課題】この従来のクロック供給方式は、基準信号は、同じであっても、二つの電圧制御発振器が持つ、定常位相誤差により、第一装置内基準信号と第二装置内基準信号間、及び、第一装置内タイミング信号と第二装置内タイミング信号間には、位相差が存在している。その結果、装置内で、第一装置内基準信号、第一装置内タイミング信号より、第二装置内基準信号、第二装置内タイミング信号に切替えた場合、位相差が存在するので、装置内の基準が飛んでしまうと言う問題があった。

【0005】本発明の目的は、第一装置内基準信号と第二装置内基準信号間、及び、第一装置内タイミング信号と第二装置内タイミング信号間の位相差を無くして、そ

れぞれ装置内に供給するクロック供給方式を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明は、クロック供給装置より供給される冗長系をなす基準クロック信号を受信し、網同期を確立する装置において、冗長系をなす基準クロック信号の内の一方である第一基準クロック信号を受信し、入力状態を監視し、第一クロック信号を出力する第一受信回路と、冗長系をなす基準クロック信号の内の他方である第二基準クロック信号を受信し、入力状態を監視し、第二クロック信号を出力する第二受信回路と、前記第一クロック信号と前記第二クロック信号とを入力し、いずれかのクロック信号を選択し、第一基準信号を出力する第一選択回路と、前記第一クロック信号と前記第二クロック信号とを入力し、いずれかのクロック信号を選択し、第二基準信号を出力する第二選択回路と、前記第一受信回路から出力される第一監視信号と前記第二受信回路から出力される第二監視信号とを入力し、前記第一選択回路と前記第二選択回路に対し、系選択信号を出力する系選択回路と、前記第一基準信号を入力し、第一基準信号に同期した第一基準周波数信号と第一タイミング信号とを発生させる第一電圧制御発振器と、前記第二基準信号を入力し、第二基準信号に同期した第二基準周波数信号と第二タイミング信号とを発生させる第二電圧制御発振器と、前記第一タイミング信号と前記第二タイミング信号とを入力し、第一タイミング信号を基準にして位相差を計数し、第一計数結果を出力する第一計数回路と、前記第一タイミング信号と前記第二タイミング信号とを入力し、第二タイミング信号を基準にして位相差を計数し、第二計数結果を出力する第二計数回路と、前記第一計数結果と前記第二計数結果とを入力し、第一計数結果を基準とし第二計数結果との大小関係と比較し、第一比較結果を出力する第一比較回路と、前記第一計数結果と前記第二計数結果とを入力し、第二計数結果を基準とし第一計数結果との大小関係と比較し、第二比較結果を出力する第二比較回路と、前記第一計数結果と前記第一比較結果により、前記第一基準周波数信号と前記第一タイミング信号とに対し遅延を与え、第一装置内基準信号と第一装置内タイミング信号とを出力する第一遅延回路と、前記第二計数結果と前記第二比較結果により、前記第二基準周波数信号と前記第二タイミング信号とに対し遅延を与え、第二装置内基準信号と第二装置内タイミング信号とを出力する第二遅延回路とを設けたものである。

【0007】

【実施例】以下、本発明について、図面を参照して説明する。図1は、本発明の一実施例を示すブロック図である。図1に示されている一実施例において、基準クロック信号は1+1の冗長系を有している。

【0008】クロック供給装置2から供給される第一基

準クロック信号S1と第二基準クロック信号S2を、装置1内の第一受信回路11と第二受信回路21とで各々受信する。第一受信回路11において受信した第一基準クロック信号S1の状態を監視し、第一監視信号S12と第一クロック信号S11を出力し、第二受信回路21において受信した第二基準クロック信号S2の状態を監視し、第二監視信号S22と第二クロック信号S21を出力する。系選択回路3において、第一監視信号S12と第二監視信号S22に基づいて、系選択信号S13と系選択信号S23とを出力する。第一選択回路12においては、第一クロック信号S11と第二クロック信号S21を入力し、系選択信号S13に基づいて系選択を行い、第一基準信号S14を出力する。第二選択回路22においては、第一クロック信号S11と第二クロック信号S21を入力し、系選択信号S23に基づいて系選択を行い、第二基準信号S24を出力する。第一電圧制御発振器13においては、第一基準信号S14を入力し、第一基準信号S14に同期した第一基準周波数信号S16と第一タイミング信号S15とを発生する。第二電圧制御発振器23においては、第二基準信号S24を入力し、第二基準信号S24に同期した第二基準周波数信号S26と第二タイミング信号S25とを発生する。第一計数回路14においては、第一タイミング信号S15をスタート信号として、第二タイミング信号S25をストップ信号として入力し、第一タイミング信号S15を基準にして位相差を計数し、第一計数結果S17を出力する。一方、第二計数回路24においては、第二タイミング信号S25をスタート信号として、第一タイミング信号S15をストップ信号として入力し、第二タイミング信号S25を基準にして位相差を計数し、第二計数結果S27を出力する。第一比較回路15においては、第一計数結果S17と第二計数結果S27とを比較し、第一計数結果S17を基準にして第一比較結果S18を出力する。一方、第二比較回路25においては、第一計数結果S17と第二計数結果S27とを比較し、第二計数結果S27を基準にして第二比較結果S28を出力する。第一遅延回路16においては、第一基準周波数信号S16と第一タイミング信号S15とに対して遅延を与え、第一装置内基準信号S101と第一装置内タイミング信号S19とを出力する。一方、第二遅延回路26においては、第二基準周波数信号S26と第二タイミング信号S25とに対して遅延を与え、第二装置内基準信号S201と第二装置内タイミング信号S29とを出力する。

【0009】次に本発明の一実施例について、図1のブロック図を図2及び図3のタイミングチャートを用いて説明する。図2は、第一タイミング信号より第二タイミング信号が遅れた場合のタイミングチャートであり、図3は、第二タイミング信号より第一タイミング信号が遅れた場合のタイミングチャートである。

【0010】第一タイミング信号S15と第二タイミン

グ信号S25との位相差は、第一タイミング信号S15を基準にして計数し、第一計数結果S17(=x)として、また、第二タイミング信号S25を基準にして計数し、第二計数結果S27(=y)として出力される。いま、図2に示すように、第一タイミング信号S15より、第二タイミング信号S25が遅れている場合、計数結果を比較すると $x < y$ となる。このことは、第一遅延回路16で遅延を与えた方が、与える遅延量が少なくすむことを示している。第一比較回路15は自系の方が時間的に進んでいると判断し、第一比較結果S18を出力する。一方、第二比較回路25は自系の方が時間的に遅れていると判断し、第二比較結果S28を出力する。第一遅延回路16は、第一計数結果S17(=x)と、第一比較結果S18(=進み)により、第一基準周波数信号S16と第一タイミング信号S15とに対してx分遅延を与え、第一装置内基準信号S101と第一装置内タイミング信号S19として出力する。一方、第二遅延回路26は、第二計数結果S27(=y)と、第二比較結果S28(=遅れ)により、第二基準周波数信号S26と第二タイミング信号S25とに対して遅延を与えず、第二装置内基準信号S201(=第二基準周波数信号S26)と第二装置内タイミング信号S29(=第二タイミング信号S25)として出力させる。図3に示すように、第一タイミング信号S15が遅れている場合は、計数結果として $x > y$ となるので、第一比較結果S18(=遅れ)、第二比較結果S28(=進み)となる。この結果、第一遅延回路16は、遅延量を「0」として与え、即ち、遅延させず、第二遅延回路26は、y分遅延量を与える。また、第一・第二のタイミング信号間の遅延差=0(=x=y)の場合、どちらの遅延回路とも遅延は、与えない。以上により、二つの電圧制御発振器が持つ、定常位相誤差を吸収するので、第一装置内基準信号S101と第二装置内基準信号S29間及び第一装置内タイミング信号S19と第二装置内タイミング信号S201間には、位相差が存在しない。

【0011】

【発明の効果】以上説明したように、本発明は、二つの電圧制御発振器が持つ、定常位相誤差による、第一基準周波数信号と第二基準周波数信号間及び第一タイミング信号と第二タイミング信号間に、存在する位相差を計数する手段と、第一・第二のどちらが遅れているかを判断する手段と、位相差を調整する手段を設けることによって、位相差のない冗長系を有する装置内基準信号と装置内タイミング信号とを装置内に供給できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明の一実施例において、第一タイミング信号より第二タイミング信号が遅れた場合のタイミングチャートである。

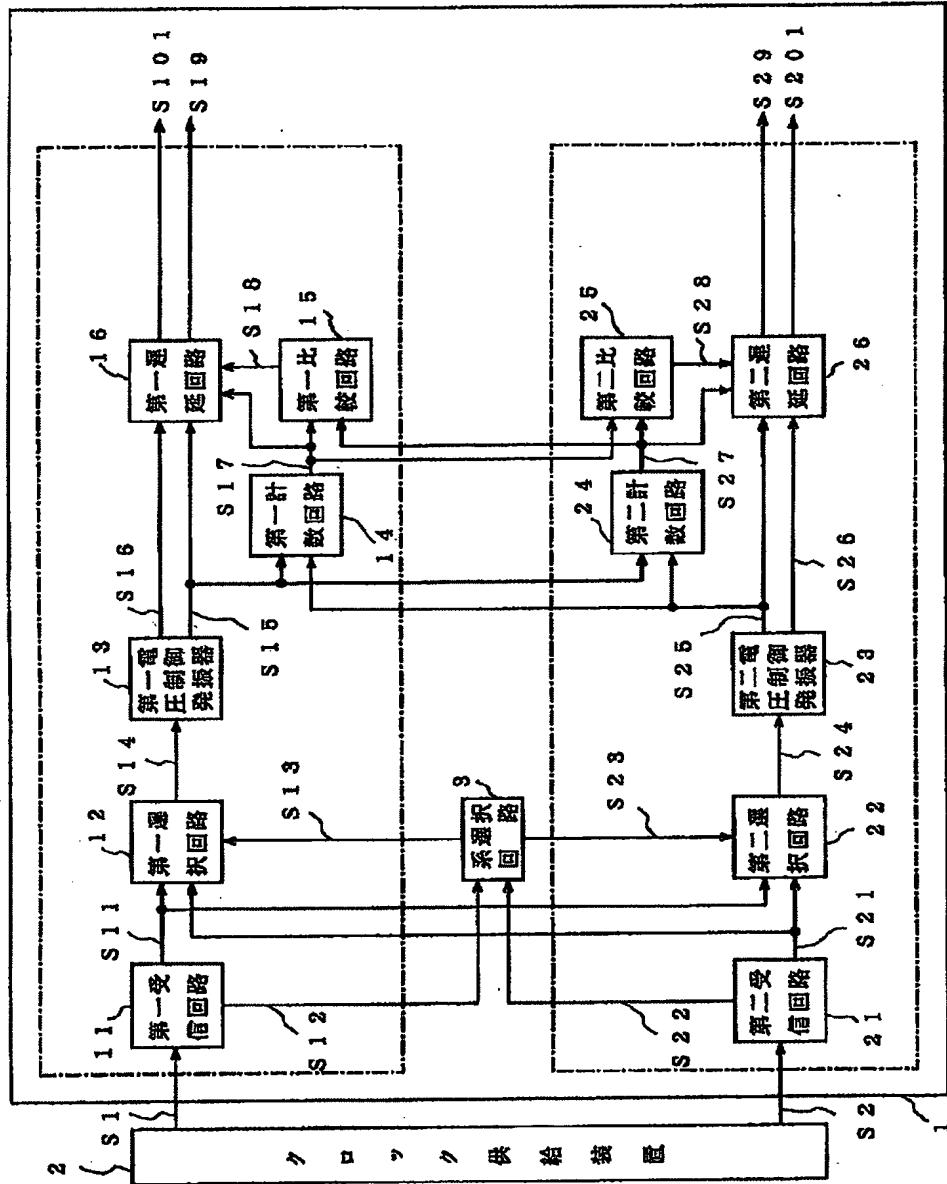
【図3】本発明の一実施例において、第二タイミング信号より第一タイミング信号が遅れた場合のタイミングチャートである。

【図4】従来のクロック供給方式のブロック図である。

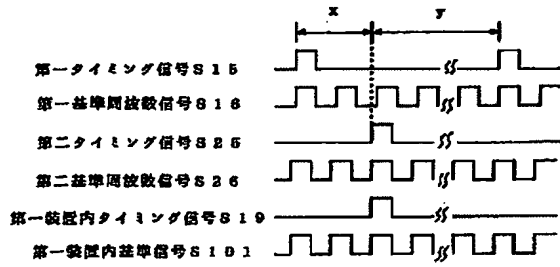
【符号の説明】

- 1 装置
- 2 クロック供給装置
- 3 系選択回路
- 11 第一受信回路
- 12 第一選択回路
- 13 第一電圧制御発振器
- 14 第一計数回路
- 15 第一比較回路
- 16 第一遅延回路
- 21 第二受信回路
- 22 第二選択回路
- 23 第二電圧制御発振器
- 24 第二計数回路
- 25 第二比較回路
- 26 第二遅延回路
- S1 第一基準クロック信号
- S2 第二基準クロック信号
- S11 第一クロック信号
- S12 第一監視信号
- S13, S23 系選択信号
- S14 第一基準信号
- S15 第一タイミング信号
- S16 第一基準周波数信号
- S17 第一計数結果
- S18 第一比較結果
- S19 第一装置内タイミング信号
- S101 第一装置内基準信号
- S21 第二クロック信号
- S22 第二監視信号
- S24 第二基準信号
- S25 第二タイミング信号
- S26 第二基準周波数信号
- S27 第二計数結果
- S28 第二比較結果
- S29 第二装置内基準信号
- S201 第二装置内タイミング信号

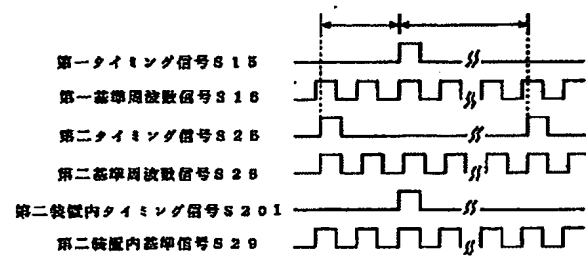
【図1】



【図 2】



【図 3】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-014013

(43)Date of publication of application : 21.01.1994

(51)Int.Cl.

H04L 1/22

G06F 1/04

H04L 7/00

(21)Application number : 04-168060

(71)Applicant : NEC CORP

(22)Date of filing : 26.06.1992

(72)Inventor : KARASHIMA YUKIE

(54) CLOCK SUPPLY SYSTEM

(57)Abstract:

PURPOSE: To supply a reference signal and a timing signal having a redundant system without a phase difference to a device by counting the phase difference between reference frequencies and between timing signals due to the phase error of two voltage controlled oscillators and adjusting the phase difference.

CONSTITUTION: The phase difference of 1st and 2nd timing signals S15, S25 is outputted as counting results S17, S27. When the signal S25 is delayed more than the signal S15, comparator circuits 15, 25 output comparison result signals S18, S28. A delay circuit 16 receives the signals S17, S27 to give a delay to a reference signal S16 and the signal S15 and outputs the results as a reference signal S101 and a timing signal S19. On the other hand, a delay circuit 26 receives the signals S27, S28 and gives no delay to a reference signal S16 and the signal S25 and outputs the result as a reference signal S201 and a timing signal S29. Consequently, a phase difference between the reference signals and between the timing signals due to a phase error in voltage controlled oscillators 13, 23 is eliminated. Thus, the reference signal and the timing signal having a redundant system without a phase difference are supplied to the device.

